

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月27日

出 願 番 号

Application Number:

特願2003-149335

[ST.10/C]:

[JP2003-149335]

出 願 人

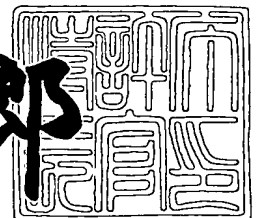
Applicant(s):

株式会社東芝

2003年 6月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3045186

【書類名】 特許願

【整理番号】 A000300723

【提出日】 平成15年 5月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 16

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 小澤 良夫

【発明者】

 【住所又は居所】 三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四日市工場内

 【氏名】 齋田 繁彦

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 竹内 祐司

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 斎藤 雅伸

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、
前記半導体基板上に設けられた不揮発性メモリセルと
を具備してなる半導体装置であって、
前記不揮発性メモリセルは、
前記不揮発性メモリセルのチャネル幅方向において、膜厚が周期的かつ連続的に変化しているトンネル絶縁膜と、
前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、
前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、
前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを含むことを特徴とする半導体装置。

【請求項 2】 前記トンネル絶縁膜と前記半導体基板との界面の高さは、前記チャネル幅方向において、周期的かつ連続的に変化していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記トンネル絶縁膜の上面は、ほぼ平坦であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 半導体基板と、
前記半導体基板上に設けられた不揮発性メモリセルと
を具備してなる半導体装置であって、
前記不揮発性メモリセルは、
膜厚がほぼ一定のトンネル絶縁膜と、
前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、
前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、
前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを含み、
前記トンネル絶縁膜と前記浮遊ゲート電極との界面の高さ、および、前記トンネル絶縁膜と前記半導体基板との界面の高さは、前記不揮発性メモリセルのチャ

ネル幅方向において、周期的かつ連続的に変化していることを特徴とする半導体装置。

【請求項 5】 半導体基板と、

前記半導体基板の表面に設けられ、素子分離溝を含む素子分離領域と、

前記半導体基板上に設けられた不揮発性メモリセルであって、トンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを含む不揮発性メモリセルと

を具備してなる半導体装置の製造方法であって、

前記半導体基板上に前記トンネル絶縁膜となる絶縁膜、前記浮遊ゲート電極となる半導体膜を順次形成する工程と、

前記半導体膜、前記絶縁膜および前記半導体基板をエッチングして、前記素子分離溝を形成する工程と、

水蒸気雰囲気中で、前記浮遊ゲート電極、前記トンネル絶縁膜および前記半導体基板をアニールする工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 6】 前記水蒸気雰囲気中で、前記浮遊ゲート電極、前記トンネル絶縁膜および前記半導体基板をアニールする工程の後、前記トンネル絶縁膜は、前記素子分離領域に近いほど膜厚が厚くなる部分を含むことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記トンネル絶縁膜の前記素子分離領域に近いほど膜厚が厚くなる部分は、前記不揮発性メモリセルのチャンネル幅方向の断面において存在することを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記素子分離領域の上面は、前記半導体基板の前記表面よりも高く、かつ、前記浮遊ゲート電極の上面よりも低く、

前記水蒸気雰囲気中で、前記浮遊ゲート電極、前記トンネル絶縁膜および前記半導体基板をアニールする工程の後、前記トンネル絶縁膜は、前記不揮発性メモリセルのチャンネル幅方向の断面において、前記浮遊ゲート電極の下部側面と前記素子分離領域との間に入り込んだ第 1 の部分、および、前記素子分離領域によっ

て規定された前記半導体基板の半導体領域の上部側面と前記素子分離領域との間に入り込んだ第2の部分を含むことを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項9】 前記水蒸気雰囲気は、重水の水蒸気を含むことを特徴とする請求項5ないし8のいずれか1項に記載の半導体装置の製造方法。

【請求項10】 前記トンネル絶縁膜の前記第1の部分は、下方に向かうほど、前記チャネル幅方向の寸法が大きくなり、

前記トンネル絶縁膜の前記第1の部分と接している部分の前記浮遊ゲート電極は、下方に向かうほど、前記チャネル幅方向の寸法が小さくなり、

前記トンネル絶縁膜の前記第2の部分は、上方に向かうほど、前記チャネル幅方向の寸法が大きくなり、

前記トンネル絶縁膜の前記第2の部分と接している部分の前記半導体領域は、前記半導体領域の上方に向かうほど、前記チャネル幅方向の寸法が小さくなることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項11】 前記浮遊ゲート電極、前記トンネル絶縁膜および前記半導体基板をアニールする工程は、前記トンネル絶縁膜中における水の拡散速度が、前記水と前記浮遊ゲート電極との酸化反応速度および前記水と前記半導体基板との酸化反応速度よりも速くなる条件で行われる第1の加熱処理を含むことを特徴とする請求項5ないし10のいずれか1項に記載の半導体装置の製造方法。

【請求項12】 前記トンネル絶縁膜はシリコン酸化物またはシリコン酸窒化物から構成され、前記浮遊ゲート電極は多結晶シリコンから構成され、前記半導体基板はシリコンから構成され、前記第1の加熱処理は、750℃以下の温度で行われることを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】 前記浮遊ゲート電極、前記トンネル絶縁膜および前記半導体基板をアニールする工程は、前記トンネル絶縁膜中における水の拡散速度が、前記水と前記浮遊ゲート電極との酸化反応速度および前記水と前記半導体基板との酸化反応速度よりも遅くなる条件で行われる第2の加熱処理を含むことを特徴とする請求項11または12に記載の半導体装置の製造方法。

【請求項14】 前記トンネル絶縁膜はシリコン酸化物またはシリコン酸窒

化物から構成され、前記浮遊ゲート電極は多結晶シリコンから構成され、前記半導体基板はシリコンから構成され、前記第2の加熱処理は、900℃以上の温度で行われることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】 前記電極間絶縁膜は、前記浮遊ゲート電極の上面および側面のうち実質的に前記上面のみを覆い、前記電極間絶縁膜を形成する工程は、第1のラジカル窒化プロセスを含むことを特徴とする請求項5ないし14のいずれか1項に記載の半導体装置の製造方法。

【請求項16】 前記電極間絶縁膜を形成する工程は、前記第1のラジカル窒化プロセス後に行われるシリコン窒化物堆積プロセスおよび前記シリコン窒化物堆積プロセス後に行われる第2のラジカル窒化プロセスをさらに含むことを特徴とする請求項15に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性メモリセルを備えた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

図15に、従来の不揮発性メモリセルのチャネル幅方向（チャネル電流が流れる方向と直交する方向）の断面構造を模式的に示す（例えば、特許文献1参照）。図15において、81はシリコン基板、82は素子分離絶縁膜、83はトンネル絶縁膜、84は浮遊ゲート電極、85は電極間絶縁膜、86は制御ゲート電極を示している。

【0003】

素子分離絶縁膜82との境界近傍を除いて、トンネル絶縁膜83は、ほぼ平坦な表面を有し、かつ、ほぼ均一な膜厚を有する。すなわち、トンネル絶縁膜83は、素子分離絶縁膜82との境界近傍を除いて、ほぼ同じ形状を有する。

【0004】

トンネル絶縁膜83の素子分離絶縁膜82との境界近傍の膜厚は、トンネル絶

縁膜 83 の他の部分の膜厚よりも厚い。その理由は、素子分離溝内を素子分離絶縁膜 82 で埋め込む前に行われる熱酸化プロセスによって、素子分離溝の側壁に露出しているシリコン基板 81 および浮遊ゲート電極 84 の表面が酸化されるからである。

【0005】

上記熱酸化プロセスによって、素子分離絶縁膜 82 との境界から内側に 5 nm 程度以内の領域にあるトンネル絶縁膜 83 は、5 nm 程度厚くなる。この程度の膜厚増加であれば、書込み／消去動作時にトンネル電流が流れる領域は、トンネル絶縁膜 83 内の素子分離絶縁膜 82 との境界近傍を除くほぼ全域となる。

【0006】

トンネル絶縁膜 83 は、素子分離絶縁膜 82 との境界に近いほど、製造工程中の金属汚染、ハロゲン汚染、イオン衝撃またはチャージングダメージ等のいわゆるプロセスダメージを多く受けている。上記プロセスダメージにより、トンネル絶縁膜 83 は、素子分離絶縁膜 82 との境界に近いほど、膜質が低下している。

【0007】

トンネル絶縁膜 83 内にトンネル電流が流れると、上記膜質の低下により、素子分離絶縁膜 82 との境界近傍のトンネル絶縁膜 83 中の、電荷トラップ発生量またはリーク電流発生量は、著しく増加する。上記電荷トラップ発生量またはリーク電流発生量の増加は、メモリセルのしきい値変動による、誤動作または電荷保持能力の低下を招く。

【0008】

また、書込み／消去動作時に、トンネル電流が流れるシリコン基板 81 の領域と、セルトランジスタ動作時に、チャネル電流が流れるシリコン基板 81 の領域は、ほぼ同一である（素子分離絶縁膜 82 との境界近傍を除くトンネル絶縁膜 83 のほぼ全域）。

【0009】

トンネル電流がトンネル絶縁膜 83 を通過すると、トンネル絶縁膜 83 中に電荷トラップまたは界面準位が発生する。電荷トラップまたは界面準位が発生すると、トンネル絶縁膜 83 の膜質が劣化する。このようなトンネル絶縁膜 83 の膜

質の劣化は、チャネル電流量の低下を招く。

【0010】

【特許文献1】

特開2002-134634号公報（段落0002-0006、図14）

【0011】

【発明が解決しようとする課題】

上述の如く、従来の不揮発性メモリセルのトンネル絶縁膜は、素子分離絶縁膜との境界近傍において膜質が低下している。そのため、トンネル絶縁膜中にトンネル電流が流れると、素子分離絶縁膜との境界近傍のトンネル絶縁膜中の、電荷トラップ発生量またはリーク電流発生量は、著しく増加する。

【0012】

また、トンネル電流が流れる領域とチャネル電流が流れる領域がほぼ同一である。そのため、トンネル電流がトンネル絶縁膜を通過し、トンネル絶縁膜中の電荷トラップまたは界面準位が発生すると、チャネル電流量が低下する。

【0013】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、トンネル絶縁膜中の電荷トラップの影響を低減できる不揮発性メモリセルを備えた半導体装置およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0015】

すなわち、上記目的を達成するために、本発明に係る半導体装置は、半導体基板と、前記半導体基板の表面に設けられた素子分離領域と、前記半導体基板上に設けられた不揮発性メモリセルであって、前記素子分離領域に近いほど膜厚が厚くなる部分を含むトンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制

御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを含む不揮発性メモリセルとを具備してなることを特徴とする。

【 0 0 1 6 】

また、本発明に係る他の半導体装置は、半導体基板と、前記半導体基板上に設けられた不揮発性メモリセルとを具備してなる半導体装置であって、前記不揮発性メモリセルは、前記不揮発性メモリセルのチャネル幅方向において、膜厚が周期的かつ連続的に変化しているトンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを含むことを特徴とする。

【 0 0 1 7 】

また、本発明に係る他の半導体装置は、半導体基板と、前記半導体基板上に設けられた不揮発性メモリセルとを具備してなる半導体装置であって、前記不揮発性メモリセルは、膜厚がほぼ一定のトンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを含み、前記トンネル絶縁膜と前記浮遊ゲート電極との界面の高さ、および、前記トンネル絶縁膜と前記半導体基板との界面の高さは、前記不揮発性メモリセルのチャネル幅方向において、周期的かつ連続的に変化していることを特徴とする。

【 0 0 1 8 】

本発明に係る半導体装置の製造方法は、半導体基板と、前記半導体基板の表面に設けられ、素子分離溝を含む素子分離領域と、前記半導体基板上に設けられた不揮発性メモリセルであって、トンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを含む不揮発性メモリセルとを具備してなる半導体装置の製造方法であって、前記半導体基板上に前記トンネル絶縁膜となる絶縁膜、前記浮遊ゲート電極となる半導体膜を順次形成する工程と、前記半導体膜、前記絶縁膜および前記半導

体基板をエッチングして、前記素子分離溝を形成する工程と、水蒸気雰囲気中で、前記浮遊ゲート電極、前記トンネル絶縁膜および前記半導体基板をアニールする工程とを有することを特徴とする。

【0019】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施形態を説明する。

【0020】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る不揮発性メモリセル（以下、単にメモリセルという。）を示す平面図、図2（a）および（b）は、それぞれ、図1の線分A-A'に沿った断面を示す断面図（チャンネル長方向の断面図）および線分B-B'に沿った断面を示す断面図（チャンネル幅方向の断面図）である。

【0021】

本実施形態のシリコン基板1の表面には素子分離溝2が設けられ、素子分離溝2は素子分離絶縁膜3により埋め込まれている。素子分離絶縁膜3の上面は、シリコン基板1の表面よりも高く、かつ、浮遊ゲート電極6の上面よりも低い。

【0022】

素子分離溝2および素子分離絶縁膜3は、素子分離領域を構成する。該素子分離領域によって、メモリセルのチャンネル領域を含む、シリコン基板1の半導体領域（素子形成領域）が規定される。

【0023】

上記半導体領域の表面上には、トンネル絶縁膜4が設けられている。トンネル絶縁膜4は、素子分離絶縁膜3に近いほど膜厚が厚くなる部分を含む。具体的には、トンネル絶縁膜4は、上記チャンネル領域の中央付近で最も薄く、素子分離絶縁膜3との境界に近いほど厚くなる膜厚分布を有している。すなわち、素子分離絶縁膜3との境界近傍のトンネル絶縁膜4の形状は、バースピーク形状となっている。

【0024】

本実施形態の場合、図2（b）に示すように、トンネル絶縁膜4の素子分離絶

縁膜 3 に近いほど膜厚が厚くなる部分は、メモリセルのチャネル幅方向の断面において存在する。さらに、チャネル幅方向の断面において、トンネル絶縁膜 4 は、チャネル幅方向に平行な中心線 L に関して、上下ほぼ対称な形状を有する。

【 0 0 2 5 】

このように、本実施形態のトンネル絶縁膜 4 は、素子分離絶縁膜 3 との境界に近いほど膜厚が厚くなっているため、トンネル電流はトンネル絶縁膜 4 の中央付近を集中的に流れる。すなわち、トンネル絶縁膜 4 の膜質が低下している部分には、トンネル電流は流れない。

【 0 0 2 6 】

トンネル絶縁膜 4 上には、浮遊ゲート電極 5, 6 が設けられている。浮遊ゲート電極 5, 6 の上方には、制御ゲート電極 7 が設けられている。浮遊ゲート電極 5, 6 と制御ゲート電極 7 との間には、電極間絶縁膜 8 が設けられている。

【 0 0 2 7 】

制御ゲート電極 7 上にはシリコン窒化膜 9 が設けられている。シリコン窒化膜 9 は、メモリセルの製造途中において、R I E (Reactive Ion Etching) マスクとして使用されたものである。

【 0 0 2 8 】

トンネル絶縁膜 4、浮遊ゲート電極 5, 6、制御ゲート電極 7、電極間絶縁膜 8 およびシリコン窒化膜 9 からなるゲート構造部の側面および上面は、シリコン酸化膜 10 で覆われている。このようなシリコン酸化膜 10 は、電極側壁酸化膜と呼ばれている。

【 0 0 2 9 】

シリコン酸化膜 10 上には、層間絶縁膜としての B P S G (Borophosphosilicate Glass) 膜 11 が設けられている。そして、シリコン基板 1 の表面には、ゲート構造部 4 ~ 9 を挟むように、一対のソース／ドレイン領域 12 が設けられている。

【 0 0 3 0 】

本実施形態のメモリセル構造では、書込み／消去動作時に、膜質が比較的良好なトンネル絶縁膜 4 のチャネル中央付近を集中的にトンネル電流は流れるが、膜

質が著しく低下している素子分離領域との境界に近い部分ではトンネル電流は流れない。

【0031】

したがって、トンネル絶縁膜4中の電荷トラップ発生量またはリーク電流発生4が大幅に低減されて、メモリセルのしきい値変動による、誤動作または電荷保持能力の低下は効果的に抑制される。

【0032】

さらに、本実施形態によれば、以下のような効果も得られる。

【0033】

書込み／消去動作時に、制御ゲート電極に印加される電圧（動作電圧） V_{cg} とトンネル絶縁膜に印加される電圧 V_{td} との関係は、メモリセルのトンネル絶縁膜容量 C_{td} と電極間絶縁膜容量 C_{ie} を用いて、以下のように表される。

【0034】

$$V_{td} = (C_{id} / (C_{td} + C_{id})) \times V_{cg}$$

上式から、動作電圧 V_{cg} を下げる方法として、3次元的に電極間絶縁膜8の表面積を増やして、電極間絶縁膜容量 C_{id} を大きくすることが考えられる。しかし、この方法で、動作電圧 V_{cg} の低電圧化を進めることは困難である。これは、メモリセルの微細化を妨げる。上記方法で、動作電圧 V_{cg} の低電圧化が困難である理由は、以下の通りである。

【0035】

電極間絶縁膜8の表面積を大きくするために、電極間絶縁膜8の表面形状を複雑にする必要がある。そのためには、電極間絶縁膜8下の浮遊ゲート電極5、6の表面形状を複雑にする必要がある。

【0036】

しかし、浮遊ゲート電極5、6である多結晶シリコン膜の微細加工技術には限界があるので、浮遊ゲート電極5、6の表面形状の複雑化には限界がある。したがって、電極間絶縁膜8の表面積の増大によって、動作電圧 V_{cg} の低電圧化を進めることは困難である。

【0037】

さらに、電極間絶縁膜容量 C_{id} が増大すると、浮遊ゲート電極間の浮遊容量も増大する。浮遊ゲート電極間の浮遊容量が増大すると、誤動作が発生しやすくなる。これも、動作電圧 V_{cg} の低減化を困難にさせる原因の一つである。

【0038】

これに対して、本実施形態のメモリセル構造は、トンネル絶縁膜4の膜厚が素子分離絶縁膜3との境界に近いほど厚くなる構造を有しているので、トンネル絶縁膜容量 C_{td} が下がる。これにより、動作電圧 V_{cg} を容易に下げることができて、メモリセルの微細化が実現可能となる。

【0039】

図3(a)および(b)、図4(c)および(d)は、本実施形態のメモリセルの製造工程を示す断面図である。

【0040】

まず、図3(a)に示すように、所望の不純物がドーピングされたシリコン基板1の表面に、厚さ10nmのトンネル絶縁膜4が熱酸化法により形成され、その後、下層の浮遊ゲート電極となる厚さ30nmの多結晶シリコン膜5、CMP (Chemical Mechanical Polish) のストッパとなる厚さ50nmのシリコン窒化膜13、RIEのマスクとなる厚さ200nmのシリコン酸化膜14が減圧CVD (Chemical Vapor Deposition) 法により順次堆積される。

【0041】

なお、本実施形態では、シリコン熱酸化膜をトンネル絶縁膜として用いているが、これに限るものではなく、例えば、シリコン熱酸窒化膜等でも良い。

【0042】

次に、図3(a)に示すように、素子形成領域を覆うレジスト(図示せず)をマスクに用いて、RIEプロセスによりシリコン酸化膜14がエッチングされ、上記レジストのパターンがシリコン酸化膜14に転写される。

【0043】

続いて、図3(a)に示すように、上記レジストマスクおよびシリコン酸化膜14をマスクに用いて、RIEプロセスによりシリコン窒化膜13、多結晶シリコン膜5、トンネル絶縁膜4が順次エッチングされ、さらに、シリコン基板1の

露出領域もエッチングされ、深さ 2 0 0 n m の素子分離溝 2 が形成される。

【 0 0 4 4 】

上記 R I E プロセスの途中で上記レジストは消滅し、その後は、シリコン酸化膜 1 4 が R I E のマスクとして用いられる。

【 0 0 4 5 】

次に、図 3 (b) に示すように、露出したシリコン表面に厚さ 5 n m のシリコン酸化膜 (図示せず) が熱酸化法により形成され、その後、素子分離溝 2 が完全に埋め込まれるように、素子分離絶縁膜 3 となる厚さ 4 0 0 n m のシリコン酸化膜 (C V D 酸化膜) がプラズマ C V D 法により全面に堆積される。

【 0 0 4 6 】

次に、図 3 (b) に示すように、シリコン窒化膜 1 3 をストッパに用いて、C M P プロセスにより、上記 C V D 酸化膜の不要部分が除去されて、所定形状の素子分離絶縁膜 3 が得られ、かつ、シリコン酸化膜 (R I E マスク) 1 4 が除去される。上記 C M P プロセスは、シリコン窒化膜 1 3 が露出するまで行われ、かつ、表面が平坦化されるまで行われる。

【 0 0 4 7 】

次に、図 4 (c) に示すように、リン酸溶液を用いたエッチングにより、シリコン窒化膜 1 3 が除去され、その後、上層の浮遊ゲート電極 6 となる厚さ 5 0 n m の多結晶シリコン膜が減圧 C V D 法により全面に堆積され、続いて、レジストマスク (図示せず) を用いた R I E プロセスにより、上記多結晶シリコン膜がエッチングされ、上記多結晶シリコン膜を分割するビット線方向のスリット部 1 5 が形成され、ビット線方向の形状が確定された浮遊ゲート電極 6 が得られる。

【 0 0 4 8 】

上記 R I E プロセスにより、実際には、複数の浮遊ゲート電極 6 が形成されるが、図には一つの浮遊ゲート電極 6 しか示されていない。

【 0 0 4 9 】

その後、1 k P a の減圧アンモニア雰囲気中での 9 0 0 ℃、3 0 分のアニール (熱窒化) により、浮遊ゲート電極 6 の表面が窒化される。上記アニールの目的は、次の図 4 (c) の工程で行われるアニールにより、浮遊ゲート電極 (多結晶

シリコン膜) 6 の上面が酸化されることを防止することである。

【0050】

次に、水蒸気雰囲気中での750℃、10分のアニール（水蒸気アニール）が行われる。

【0051】

このとき、水蒸気(H_2O)は、スリット部15から素子分離絶縁膜（シリコン酸化膜）3中を拡散して、トンネル絶縁膜4中に到達する。トンネル絶縁膜4中に到達した水蒸気は、シリコン基板1の上面および浮遊ゲート電極（多結晶シリコン膜）5の下面と酸化反応を起こす。

【0052】

その結果、図4(c)に示すように、チャネル領域の中央付近で最も薄く、素子分離絶縁膜3との境界に近いほど厚い膜厚分布を有するトンネル絶縁膜4が得られる。

【0053】

また、上記水蒸気アニールにより、素子分離溝形成工程およびゲート電極形成工程に行われるRIEプロセスによるプロセスダメージが低減される。その理由は、上記水蒸気アニールにより供給される酸素により、上記RIEプロセスにより切断されたトンネル絶縁膜4中のSi-O結合が、再結合するからである。

【0054】

本実施形態では、スリット部15を形成した後に水蒸気アニールを行っているが、これに限るものではなく、例えば、素子分離溝2の形成後（図3(a)）または素子分離絶縁膜3の形成後（図3(b)）に行っても構わない。

【0055】

プロセスダメージを受けたデバイスを十分に修復するためには、スリット部15を形成した後に水蒸気アニールを行うことが望ましい。何故なら、ゲート電極形成工程中のプロセスダメージ（RIEプロセス起因のプロセスダメージ）も効果的に低減されるからである。

【0056】

水蒸気の素子分離絶縁膜（シリコン酸化膜）3中への拡散と、水蒸気と浮遊ゲ

ート電極（多結晶シリコン膜）5との酸化反応とを比べると、水蒸気アニール温度が低いほど、上記拡散は上記酸化反応よりも起こり易くなる。

【0057】

これは、図5に示すように、トンネル絶縁膜のバースピーク長 L_1 （上記拡散にかかわる拡散係数 D の温度依存性）が、ある温度 T_c を境にして、シリコン基板または浮遊ゲート電極の間口部分の後退量 L_2 （上記酸化反応にかかわる拡散係数 k の温度依存性）よりも大きくなるからである。

【0058】

したがって、水蒸気アニール温度が低いほど、トンネル絶縁膜4の素子分離絶縁膜3との境界から、トンネル絶縁膜4の中央部分にまで十分な量の水を容易に供給することができる。すなわち、水蒸気アニール温度が低いほど、本実施形態の膜厚分布を有するトンネル絶縁膜4が得られやすくなる。

【0059】

本発明者等の研究によれば、本実施形態の効果が十分に得られるトンネル絶縁膜4を形成するためには、チャネル幅が $0.2\mu\text{m}$ 以下の場合、水蒸気アニール温度は 750°C 以下であることが好ましいことが明らかになった。

【0060】

図4（c）の工程後には、周知のメモリセルの製造プロセスが続く。

【0061】

まず、電極間絶縁膜8となる、シリコン酸化膜／シリコン窒化膜／シリコン酸化膜からなる厚さ 15nm の3層構造の絶縁膜が、減圧CVD法により全面に形成される。次に、制御ゲート電極7となる、多結晶シリコン膜／タングステンシリサイド膜からなる厚さ 100nm の2層構造の導電膜が、減圧CVD法により上記3層構造の絶縁膜上に形成される。次に、RIEマスクとなる厚さ 100nm のシリコン窒化膜が、減圧CVD法により上記2層構造の導電膜上に形成される。

【0062】

次に、上記シリコン窒化膜上にレジストマスクが形成され、該レジストマスクをマスクに用いて上記シリコン窒化膜がRIEプロセスによりエッチングされ、

ゲート構造部に対応したパターンを有するシリコン窒化膜 9 が得られる。

【 0 0 6 3 】

次に、上記レジストマスクおよびシリコン窒化膜 9 をマスクに用いて、R I E プロセスにより、上記 3 層構造の絶縁膜、2 層構造の導電膜、浮遊ゲート電極 6、5、トンネル絶縁膜 4 が順次エッチングされ、図 4 (d) に示すように、ワード線方向のスリット部 1 6 が形成される。これにより、浮遊ゲート電極 5、6 および制御ゲート電極 7 の形状が確定される。

【 0 0 6 4 】

次に、熱酸化法および C V D 法を用いてシリコン酸化膜（電極側壁酸化膜）1 0 が形成され、イオン注入およびアニールを用いてソース／ドレイン領域 1 2 が形成され、そして、層間絶縁膜としての B P S G 膜 1 1 が減圧 C V D 法により形成され、図 2 (a) および (b) に示したメモリセルが得られる。その後、配線層等の工程が続き、メモリセルが完成する。

【 0 0 6 5 】

図 1 6 に、本実施形態および比較例のメモリセルの断面 T E M 像を示す。図 1 6 (a) は比較例の断面 T E M 像、図 1 6 (b) は本実施形態の断面 T E M 像を示している。比較例が本実施形態と異なる点は、本実施形態の水蒸気アニールが行われていないことである。本実施形態のトンネル絶縁膜 4 の膜厚はチャネル中央部で約 8 n m で、素子分離絶縁膜 3 との境界に近いほど厚くなり、素子分離絶縁膜 3 との境界部で約 1 5 n m である。

【 0 0 6 6 】

本実施形態および比較例のメモリセルに対して、1 5 0 °C、2 時間の電荷保持試験を行った。その結果、本実施形態のメモリセルのしきい値変動量は 0 . 1 8 V、比較例のメモリセルのしきい値変動量は 0 . 5 0 V であり、本実施形態の効果が確認された。

【 0 0 6 7 】

また、本実施形態および比較例のメモリセルのトンネル絶縁膜の容量を調べた。その結果、本実施形態のメモリセルのトンネル絶縁膜の容量は、比較例のそれに比べて約 2 0 % 低かった。

【0068】

さらに、本実施形態および比較例のメモリセルのカップリング比を調べた。カップリング比は、 $C_{ie} / (C_{td} + C_{ie})$ で定義される。本実施形態のメモリセルのカップリングは、比較例のそれに比べて約5%高かった。

【0069】

(第2の実施形態)

次に、第1の実施形態の説明で用いた図面を参照しながら、本発明の第2の実施形態を説明する。

【0070】

まず、図3(a)に示すように、所望の不純物がドーピングされたシリコン基板1の表面に、厚さ10nmのトンネル絶縁膜4が熱酸化法により形成され、その後、下層の浮遊ゲート電極となる厚さ30nmの多結晶シリコン膜5、CMP (Chemical Mechanical Polish) のストッパとなる厚さ50nmのシリコン窒化膜13、RIEのマスクとなる厚さ200nmのシリコン酸化膜14が減圧CVD (Chemical Vapor Deposition) 法により順次堆積される。

【0071】

次に、図3(a)に示すように、素子形成領域を覆うレジスト(図示せず)をマスクに用いて、RIEプロセスによりシリコン酸化膜14がエッチングされ、上記レジストのパターンがシリコン酸化膜14に転写される。

【0072】

続いて、図3(a)に示すように、上記レジストマスクおよびシリコン酸化膜14をマスクに用いて、RIEプロセスによりシリコン窒化膜13、多結晶シリコン膜5、トンネル絶縁膜4が順次エッチングされ、さらに、シリコン基板1の露出領域もエッチングされ、深さ200nmの素子分離溝2が形成される。

【0073】

上記RIEプロセスの途中で上記レジストは消滅し、その後は、シリコン酸化膜14がRIEのマスクとして用いられる。

【0074】

次に、図3(b)に示すように、露出したシリコン表面に厚さ5nmのシリコ

ン酸化膜（図示せず）が熱酸化法により形成され、その後、素子分離溝 2 が完全に埋め込まれるように、素子分離絶縁膜 3 となる厚さ 4 0 0 n m のシリコン酸化膜（C V D 酸化膜）がプラズマ C V D 法により全面に堆積される。

【 0 0 7 5 】

次に、図 3（b）に示すように、シリコン窒化膜 1 3 をストッパに用いて、C M P プロセスにより、上記 C V D 酸化膜の不要部分が除去されて、所定形状の素子分離絶縁膜 3 が得られ、かつ、シリコン酸化膜（R I E マスク）1 4 が除去される。上記 C M P プロセスは、シリコン窒化膜が露出するまで行われ、かつ、表面が平坦化されるまで行われる。

【 0 0 7 6 】

次に、2 . 6 k P a の減圧下で、重水（ $D_2 O$ ）を含む水蒸気雰囲気中で 6 5 0 °C、3 0 分のアニールが行われる。

【 0 0 7 7 】

このとき、重水は、素子分離絶縁膜（シリコン酸化膜）3 中を拡散して、トンネル絶縁膜 4 中に到達し、シリコン基板 1 の上面および浮遊ゲート電極（多結晶シリコン膜）5 の下面と酸化反応を起こす。

【 0 0 7 8 】

その結果、チャネル領域の中央付近で最も薄く、素子分離絶縁膜 3 との境界に近いほど厚い膜厚分布を有するトンネル絶縁膜 4 が容易に得られる。

【 0 0 7 9 】

次に、図 4（c）に示すように、リン酸溶液を用いたエッチングにより、シリコン窒化膜 1 3 が除去され、その後、上層の浮遊ゲート電極 6 となる厚さ 5 0 n m の多結晶シリコン膜が減圧 C V D 法により全面に堆積され、続いて、レジストマスク（図示せず）を用いた R I E プロセスにより、上記多結晶シリコン膜がエッチングされ、上記多結晶シリコン膜を分割するビット線方向のスリット部 1 5 が形成され、ビット線方向の形状が確定された浮遊ゲート電極 6 が得られる。

【 0 0 8 0 】

上記 R I E プロセスにより、実際には、複数の浮遊ゲート電極 6 が形成されるが、図には一つの浮遊ゲート電極 6 しか示されていない。

【 0 0 8 1 】

図 4 (c) の工程後には、第 1 の実施形態と同様に、周知のメモリセルの製造プロセスが続く。

【 0 0 8 2 】

実施形態および比較例のメモリセルに対して、150℃、2時間の電荷保持試験を行った。比較例が本実施形態と異なる点は、重水 (D_2O) を含まない水蒸気 (H_2O) を用いたことである。

【 0 0 8 3 】

電荷保持試験の結果、本実施形態のメモリセルのしきい値変動量は0.16Vであり、比較例のメモリセルのしきい値変動量は0.27Vであった。以上の結果から、本実施形態のメモリセルは、比較例のメモリセルに比べて、しきい値変動量が小さいことが明らかになり、本実施形態の効果が確認された。すなわち、重水アニールの方が水蒸気アニールよりも効果が高いことが、実験により、明らかになった。その他、第 1 の実施形態と同様の効果が得られる。

【 0 0 8 4 】

本実施形態では、素子分離絶縁膜 3 の表面の平坦化を行った後に、水蒸気アニールを行っているが、これに限るものではなく、例えば、スリット部 15 の形成後または素子分離絶縁溝 2 の形成後に行っても構わない。

【 0 0 8 5 】

(第 3 の実施形態)

図 6 は、本発明の第 3 の実施形態に係るメモリセルを示す断面図である。これは、図 2 (b) に相当するチャネル幅方向の断面図である。図 6 において、図 2 (b) と対応する部分には図 2 (b) と同一符号を付してあり、詳細な説明は省略する。また、以下の図において、前出した図と同一符号は、同一部分または相当部分を示し、詳細な説明は省略する。

【 0 0 8 6 】

本実施形態が第 1 の実施形態と異なる点は、トンネル絶縁膜 4 の素子分離絶縁膜 3 との境界部分 4 p 1, 4 p 2 が、浮遊ゲート電極 5 と素子分離絶縁膜 3 との間、および、素子分離絶縁膜 3 とシリコン基板 1 との間に入り込んで、その結果

として、素子分離絶縁膜 3 との境界近傍におけるトンネル絶縁膜 4 の膜厚がさらに厚くなっていることにある。

【0087】

図 6 に示すように、チャネル幅方向の断面において、トンネル絶縁膜 4 の第 1 の境界部分 4 p 1 は、浮遊ゲート電極 5 の下部側面と素子分離絶縁膜 3 との間にこれらに接して存在している。

【0088】

トンネル絶縁膜 4 の第 1 の境界部分 4 p 1 は、下方に向かうほど（シリコン基板 1 に近い側ほど）、チャネル幅方向の寸法が大きくなり、かつ、トンネル絶縁膜 4 の第 1 の境界部分 4 p 1 と接している部分の浮遊ゲート電極 5 は、下方に向かうほど、チャネル幅方向の寸法が小さくなっている。

【0089】

一方、トンネル絶縁膜 4 の第 2 の境界部分 4 p 2 は、素子分離領域 2, 3 によって規定されたシリコン基板 1 の半導体領域（素子形成領域）の上部側面と素子分離絶縁膜 3 との間にこれらに接して存在している。

【0090】

トンネル絶縁膜 4 の第 2 の境界部分 4 p 2 は、上方に向かうほど（浮遊ゲート電極 5 に近い側ほど）、チャネル幅方向の寸法が大きくなり、かつ、トンネル絶縁膜 4 の第 2 の境界部分 4 p 2 と接している部分の素子形成領域は、上に向かうほど、チャネル幅方向の寸法が小さくなっている。

【0091】

本実施形態のメモリセル構造では、素子形成領域の上端部および浮遊ゲート電極 5 の下端部に、書込み／消去動作時に生じる電界の強度が下がる。すなわち、最もトンネル絶縁膜 4 の膜質が低下している素子分離絶縁膜 3 との境界部分の電界（電界集中）を下げるができる。このため、素子分離絶縁膜 3 との境界部分での電荷トラップ発生が起きないため、メモリセルのしきい値変動による誤動作等は効果的に抑制される。

【0092】

本実施形態のメモリセル構造を実現するには、第 1 の実施形態の低温水蒸気ア

ニール工程（第 1 の加熱処理）の前または後で、例えば、900℃以上の高温水蒸気アニール（第 2 の加熱処理）を行えばよい。高温水蒸気アニールとしては、例えば、水素ガスと酸素ガスとの混合雰囲気中でのランプ加熱によるものがあげられる。

【0093】

高温水蒸気アニールの場合は、水蒸気の素子分離絶縁膜（シリコン酸化膜）3 中への拡散と、水蒸気と浮遊ゲート電極（多結晶シリコン膜）5 との酸化反応とを比べると、上記酸化反応が上記拡散よりも起こり易い（図 5 参照）。これにより、素子分離絶縁膜 3 との境界付近の素子形成領域上端部および浮遊ゲート電極下端部が効果的に酸化され、本実施形態のトンネル絶縁膜 4 が容易に得られる。

【0094】

本発明者等の研究によれば、本実施形態のトンネル絶縁膜 4 を形成するためには、高温水蒸気アニール温度は 900℃以上であることが好ましいことが明らかになった。

【0095】

（第 4 の実施形態）

図 7（a）および（b）は、本発明の第 4 の実施形態に係るメモリセルを示す断面図である。これらは、図 2（a）および（b）に相当するチャネル長方向およびチャネル幅方向の断面図である。

【0096】

本実施形態が、第 1 ～ 3 の実施形態と異なる点は、浮遊ゲート電極 5，6 の上面および側面のうち、上面のみが電極間絶縁膜 8 で覆われていることにある。

【0097】

このようなメモリセル構造では、浮遊ゲート電極 5，6 の側面上に電極間絶縁膜 8 が無いので、図 15 の従来のメモリセルに比べて、電極間絶縁膜 6 の容量のセル間ばらつきは低減される。

【0098】

また、本実施形態では、浮遊ゲート電極 5，6 の上面および側面のうち、上面のみが電極間絶縁膜 8 で覆われる構造を実現するために、素子分離絶縁膜 3 より

も上層の浮遊ゲート電極が省かれた構造が採用されている。この結果、浮遊ゲート電極 5, 6 の厚みは、図 1 5 の従来のメモリセルに比べて薄くなるので、隣接する浮遊ゲート電極間の浮遊容量は低減される。これにより、メモリセルの誤動作は抑制される。

【 0 0 9 9 】

その他、第 1 の実施形態と同様の効果が得られる。

【 0 1 0 0 】

図 8 (a) および (b) 、図 9 (c) および (d) は、本実施形態のメモリセルの製造工程を示す断面図である。

【 0 1 0 1 】

まず、第 1 の実施形態の図 3 (a) および (b) の工程までが行われる。図 8 (a) は、この段階の断面図を示している。

【 0 1 0 2 】

次に、図 8 (b) に示すように、第 1 の実施形態と同様に、水蒸気雰囲気中での 7 5 0 ° C 、 1 0 分のアニール（水蒸気アニール）が行われ、チャネル領域の中央付近で最も薄く、素子分離絶縁膜 3 との境界に近いほど厚い膜厚分布を有するトンネル絶縁膜 4 が得られる。上記アニールの詳細は、第 1 の実施形態で説明した通りである。

【 0 1 0 3 】

次に、図 9 (c) に示すように、リン酸溶液を用いたエッチングにより、シリコン窒化膜 1 3 が除去され、その後、シリコン窒化膜 1 3 が除去されて生じた溝内に、浮遊ゲート電極 6 が形成され、表面が平坦化される。

【 0 1 0 4 】

浮遊ゲート電極 6 は、多結晶シリコン膜の減圧 C V D プロセスと、多結晶シリコン膜の C M P プロセスとにより形成される。

【 0 1 0 5 】

浮遊ゲート電極 6 は、シリコン窒化膜 1 3 が除去されて生じた溝内に埋め込まれているので、浮遊ゲート電極 6 の側面は露出せず、浮遊ゲート電極 6 の上面のみが露出する。

【0106】

次に、図9(c)に示すように、第1の実施形態と同様のプロセスにより、電極間絶縁膜8、制御ゲート電極7、シリコン窒化膜9が形成される。

【0107】

浮遊ゲート電極6の側面は露出していないので、該側面は電極間絶縁膜8で覆われず、浮遊ゲート電極6の上面のみが電極間絶縁膜8で覆われる。

【0108】

浮遊ゲート電極6と素子分離絶縁膜3を含む領域の表面は平坦なので、該領域上の電極間絶縁膜8の表面も平坦になる。すなわち、浮遊ゲート電極6上の電極間絶縁膜8の高さと、素子分離絶縁膜3上の電極間絶縁膜の高さとは、ほぼ同一となる

次に、熱酸化法およびCVD法を用いてシリコン酸化膜（電極側壁酸化膜）10が形成され、イオン注入およびアニールを用いてソース／ドレイン領域12が形成され、そして、層間絶縁膜としてのBPSG膜11が減圧CVD法により形成され、図7(a)および(b)に示したメモリセルが得られる。その後、配線層等の工程が続き、メモリセルが完成する。

【0109】

なお、電極間絶縁膜8は厳密に浮遊ゲート電極6の上面のみを覆っていないなくても良い。電極間絶縁膜8により覆われる浮遊ゲート電極6の側面の面積S1が、電極間絶縁膜8により覆われる浮遊ゲート電極6の上面の面積S2に比べて十分小さければ（例えば $100 \times (S1/S2) \leq 5\%$ 以下ならば）、本実施形態の効果は得られる。

【0110】

さらには、浮遊ゲート電極6上の電極間絶縁膜8の高さと、素子分離絶縁膜3上の電極間絶縁膜8の高さとが、ほぼ同一である必要も無い。

【0111】

浮遊ゲート電極6の上面よりも素子分離絶縁膜3の上面の方が上にあり、浮遊ゲート電極6上の電極間絶縁膜8の高さよりも、素子分離絶縁膜3上の電極間絶縁膜3の高さの方が高くても、本実施形態の効果は得られる。

【0112】

電極間絶縁膜8は、正常な書込み／消去動作を確保するために、シリコン酸化膜よりも誘電率の高い絶縁膜であることが望ましい。製造コストの削減化、およびトンネル絶縁膜特性の劣化回避の点からは、シリコン窒化膜（シリコンと窒素を主な成分とする絶縁膜）が望ましい。

【0113】

電極間絶縁膜8としての上記シリコン窒化膜は、ラジカル窒化プロセスで形成された膜であることが望ましい。何故なら、従来の減圧CVDプロセスで形成されたシリコン窒化膜は電荷トラップ密度が高く、このようなシリコン窒化膜は誤動作の原因となるからである。

【0114】

所望の膜厚を有するシリコン窒化膜をラジカル窒化プロセスで成膜することが困難な場合は、ラジカル窒化、シリコン窒化物堆積、ラジカル窒化を順次行うことで、所望の膜厚を有するシリコン窒化膜（第1のシリコン窒化膜／第2のシリコン窒化膜／第3のシリコン窒化膜）を得ることが可能となる。

【0115】

ここで、第1および第3のシリコン窒化膜はラジカル窒化により形成されたシリコン窒化膜（ラジカルシリコン窒化膜）、第2のシリコン窒化膜はシリコン窒化物堆積により形成されたシリコン窒化膜（堆積シリコン窒化膜）である。

【0116】

ラジカルシリコン窒化膜は、堆積シリコン窒化膜に比べて、電荷トラップ密度が低く、かつ、リーク電流が小さい。すなわち、ラジカルシリコン窒化膜の膜質は、堆積シリコン窒化膜の膜質よりも良い。

【0117】

したがって、第2のシリコン窒化膜の上面および下面は、電荷トラップ密度が低い第1および第3のシリコン窒化膜と接する。言い換えれば、第2のシリコン窒化膜の上下の両界面は、膜質が良い第1および第3のシリコン窒化膜によって構成される。

【0118】

これにより、電極間絶縁膜 8 として、上記プロセス（ラジカル窒化、シリコン窒化物堆積、ラジカル窒化）により形成されたシリコン窒化膜を用いても、電荷トラップに起因する誤動作は抑制される。

【0119】

（第 5 の実施形態）

図 10 は、本発明の第 5 の実施形態に係るメモリセルを示す断面図である。これは、図 2（b）に相当するチャネル幅方向の断面図である。

【0120】

本実施形態が第 1 ～ 4 の実施形態と異なる点は、トンネル絶縁膜 4 の膜厚が、チャネル幅方向において、周期的かつ連続的に変化していることにある。図 10 では、シリコン基板 1 とトンネル絶縁膜 4 との境界面がうねることで、トンネル絶縁膜 4 の膜厚が、周期的かつ連続的に変化している。

【0121】

すなわち、本実施形態のメモリセル構造は、セルトランジスタ動作時にチャネル電流が流れる領域（チャネル電流領域）20 と、書込み／消去動作時にトンネル電流が流れる領域（トンネル電流領域）21 とが異なり、かつ、チャネル電流領域 20 がトンネル電流領域 21 よりも大きい構造を備えている。

【0122】

これにより、トンネル電流通過によって、電荷トラップ発生または界面準位発生等の膜質劣化がトンネル絶縁膜 4 中に生じてても、チャネル電流への影響は軽減されて、メモリセルの特性変動は大幅に抑制される。

【0123】

また、本発明者等の研究によれば、上記効果を十分に得るためには、トンネル絶縁膜 4 の最大膜厚と最小膜厚との差を 10% 以上にすることが望ましいことが明らかになった。

【0124】

これに対して従来のメモリセル構造は、図 11 に示すように、チャネル電流領域 20 とトンネル電流領域 21 とがほぼ同一である。このため、トンネル電流通過によって、電荷トラップ発生や界面準位発生等の膜質劣化がトンネル絶縁膜 4

中に生じると、必ずチャネル電流量が低下するという問題が起こる。これは、メモリセルの特性変動を引き起こす原因となる。

【 0 1 2 5 】

本実施形態のメモリセルは、例えば、高さが周期的かつ連続的に変化している表面を有するシリコン基板 1 上に、トンネル絶縁膜 4 を形成することで実現される。

【 0 1 2 6 】

図 1 2 (a) および (b) は、上記の如き表面を有するシリコン基板 1 の製造工程を示す断面図である。

【 0 1 2 7 】

まず、図 1 2 (a) に示すように、主面が (1 1 0) 面のシリコン基板 1 を用意する。図 1 2 (a) および (b) には、劈開面となり得る面 3 0 が点線で模式的に示されている。

【 0 1 2 8 】

次に、アルカリ溶液を用いて、シリコン基板 1 の表面をエッチングする。

【 0 1 2 9 】

このとき、ある特定の結晶面が選択的にエッチングされ、図 1 2 (b) に示すように、表面形状が鋸状のシリコン基板 1 が得られる。

【 0 1 3 0 】

その後、高温酸化により、シリコン基板 1 の表面を処理することにより、図 1 0 に示したシリコン基板 1 が得られる。

【 0 1 3 1 】

図 1 3 に、本実施形態の変形例のメモリセルの断面図を示す。図 1 3 (a) のメモリセルは、トンネル絶縁膜 4 と浮遊ゲート電極 5 との境界面がうねることで、トンネル絶縁膜 4 の膜厚が、周期的かつ連続的に変化している。

【 0 1 3 2 】

また、図 1 3 (b) に示すように、トンネル絶縁膜 4 と浮遊ゲート電極 5 との境界面およびシリコン基板 1 とトンネル絶縁膜 4 との境界面の両方がうねることで、トンネル絶縁膜 4 の膜厚が、周期的かつ連続的に変化しても構わない。

【0 1 3 3】

これらの変形例のメモリセルでも、本実施形態のメモリセルと同様の効果が得られる。また、トンネル絶縁膜 4 の膜厚差に関しても、本実施形態と同様に、10%以上にすることが望ましい

(第 6 の実施形態)

図 1 4 は、本発明の第 6 の実施形態に係るメモリセルを示す断面図である。これは、図 2 (b) に相当するチャネル幅方向の断面図である。

【0 1 3 4】

本実施形態が第 5 の実施形態と異なる点は、トンネル絶縁膜 4 の膜厚がほぼ一定であること、そして、トンネル絶縁膜 4 と浮遊ゲート電極 5 との界面の高さおよびトンネル絶縁膜 4 とシリコン基板 1 との界面の高さが、チャネル幅方向において、周期的かつ連続的に変化していることである。

【0 1 3 5】

すなわち、本実施形態のメモリセル構造は、チャネル電流領域 2 0 と、書込み動作時にトンネル電流が流れる領域（書込みトンネル電流領域）2 1 w と、消去動作時にトンネル電流が流れる領域（消去トンネル電流領域）2 1 e とが異なり、かつ、チャネル電流領域 2 0 の方が書込みトンネル電流領域 2 1 w よりも大きい構造を備えている。チャネル電流領域 2 0 は、消去トンネル電流領域 2 1 e と異なる。

【0 1 3 6】

これにより、トンネル電流通過によって電荷トラップ発生または界面準位発生等の膜質劣化がトンネル絶縁膜 4 中に生じても、チャネル電流への影響はほとんど無く、メモリセルの特性変動は大幅に抑制される。

【0 1 3 7】

また、本発明者等の研究によれば、上記効果を十分に得るためには、トンネル絶縁膜 4 の最大膜厚と最小膜厚との差を 10%以上にすることが望ましいことが明らかになった。

【0 1 3 8】

なお、本発明は上記実施形態そのままに限定されるものではなく、実施段階で

はその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0139】

【発明の効果】

以上詳説したように本発明によれば、トンネル絶縁膜中の電荷トラップの影響を低減できる不揮発性メモリセルを備えた半導体装置およびその製造方法を実現できるようになる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るメモリセルを示す平面図。

【図2】 図1の平面図の線分A-A'に沿った断面図および線分B-B'に沿った断面図。

【図3】 第1の実施形態のメモリセルの製造工程を示す断面図。

【図4】 図4に続く同メモリセルの製造工程を示す断面図。

【図5】 酸化反応の反応係数の温度依存性および水の拡散係数の温度依存性を示す特性図。

【図6】 本発明の第3の実施形態に係るメモリセルを示す断面図。

【図7】 本発明の第4の実施形態に係るメモリセルを示す断面図。

【図8】 本発明の第4の実施形態に係る第5の実施形態のメモリセルの製造工程を示す断面図。

【図9】 図8に続く同メモリセルの製造工程を示す断面図。

【図10】 本発明の第5の実施形態に係るメモリセルを示す断面図。

【図11】 従来のメモリセル構造を示す断面図。

【図12】 第5の実施形態のメモリセルのシリコン基板の製造工程を示す断面図。

【図13】 第5の実施形態の変形例を示す断面図。

【図14】 本発明の第6の実施形態に係るメモリセルを示す断面図。

【図 1 5】 従来のメモリセル構造を模式的に示す図。

【図 1 6】 実施形態および比較例のメモリセルの断面TEM像（顕微鏡写真）。

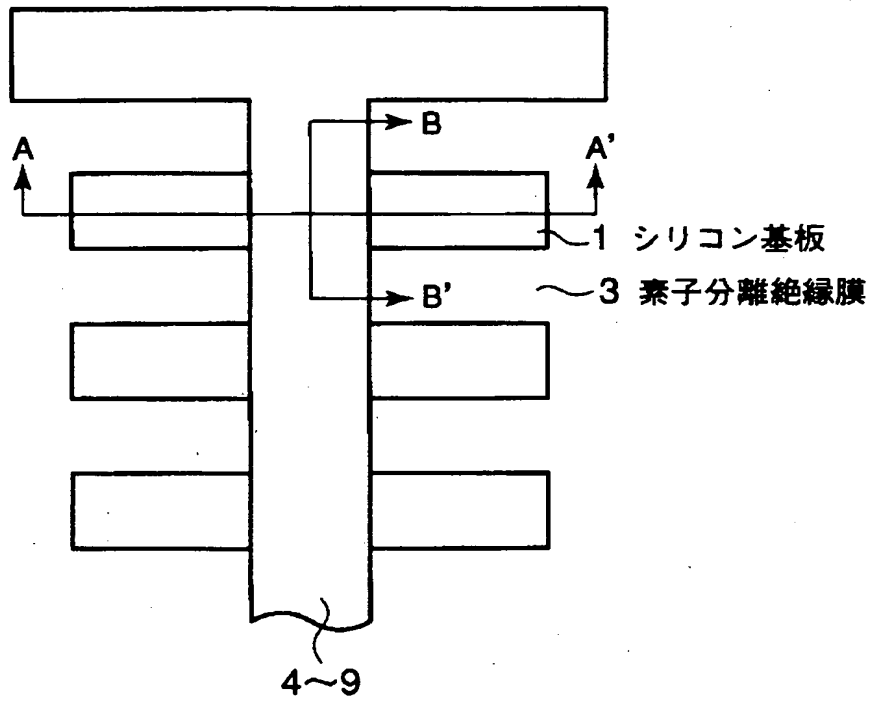
【符号の説明】

1…シリコン基板、2…素子分離溝、3…素子分離絶縁膜、4…トンネル絶縁膜、4 p 1…トンネル絶縁膜の第1の部分、4 p 2…トンネル絶縁膜の第2の部分、5, 6…浮遊ゲート電極、7…制御ゲート電極、8…電極間絶縁膜、9…シリコン窒化膜（RIEマスク）、10…シリコン酸化膜（電極側壁酸化膜）、11…BPSG膜、12…ソース／ドレイン領域、13…シリコン窒化膜（CMPストップ）、14…シリコン窒化膜（RIEマスク）、15, 16…スリット部、20…チャネル電流領域、21…トンネル電流領域、21 w…書込みトンネル電流領域、21 e…消去トンネル電流領域。

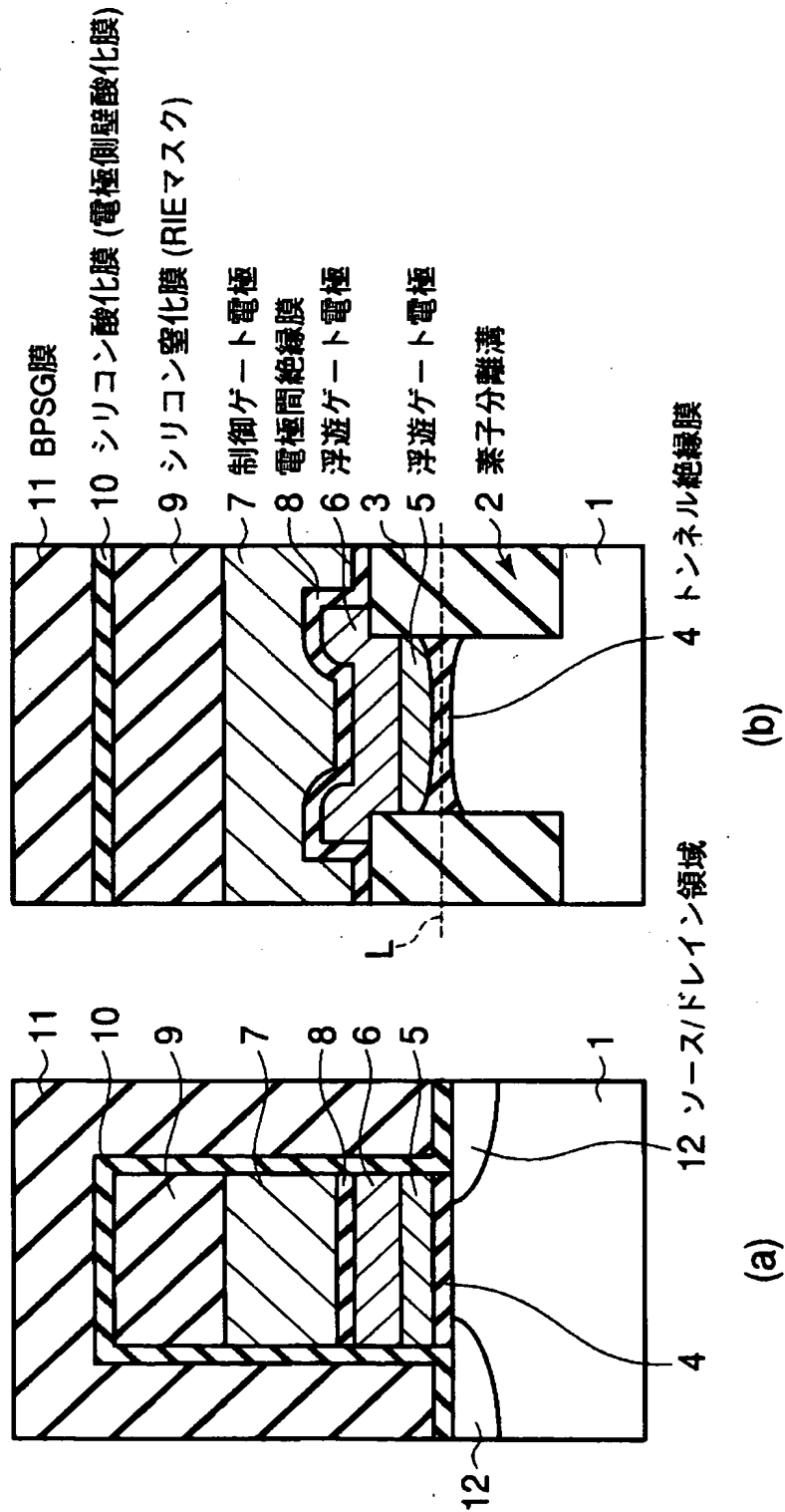
【書類名】

図面

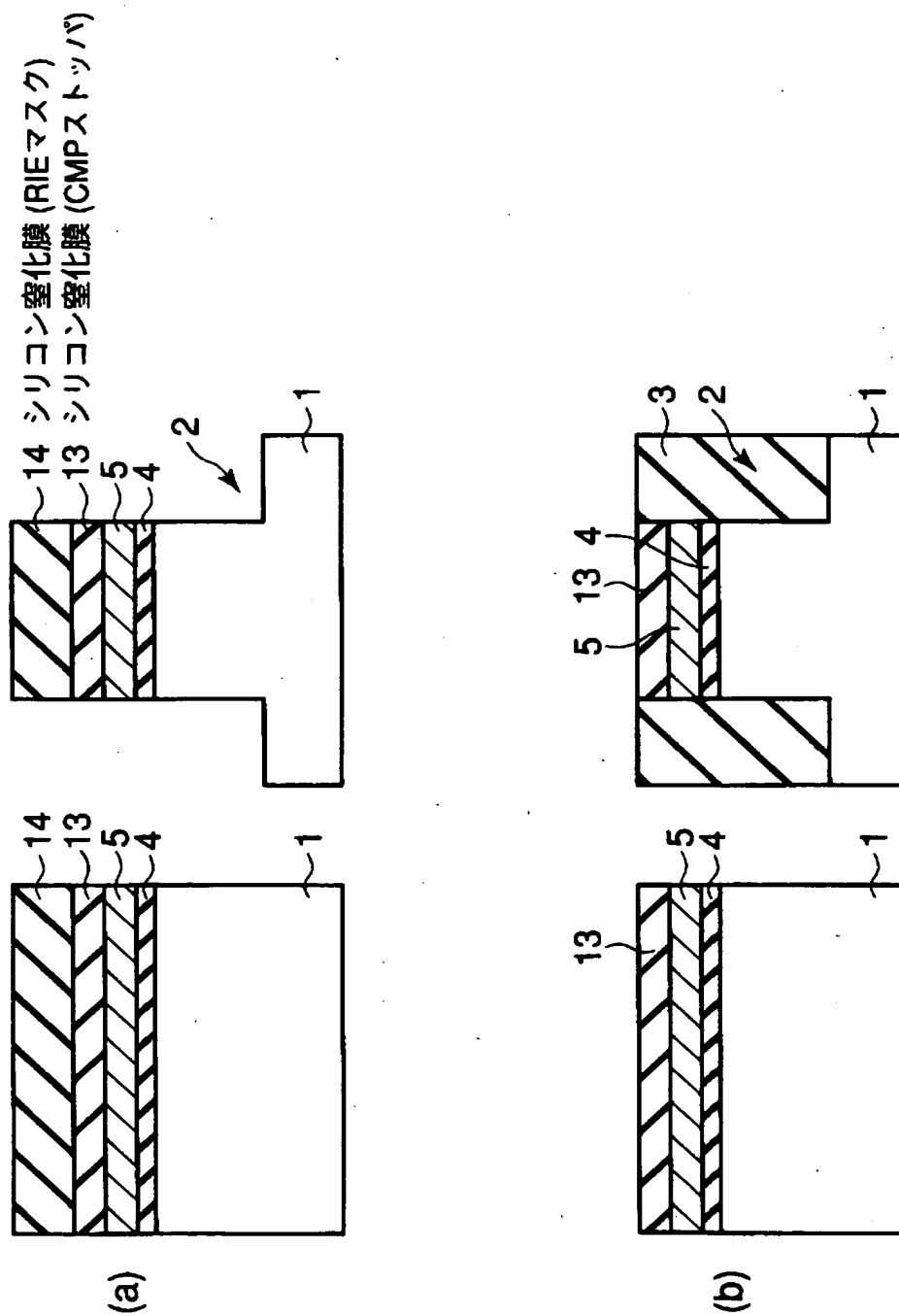
【図 1】



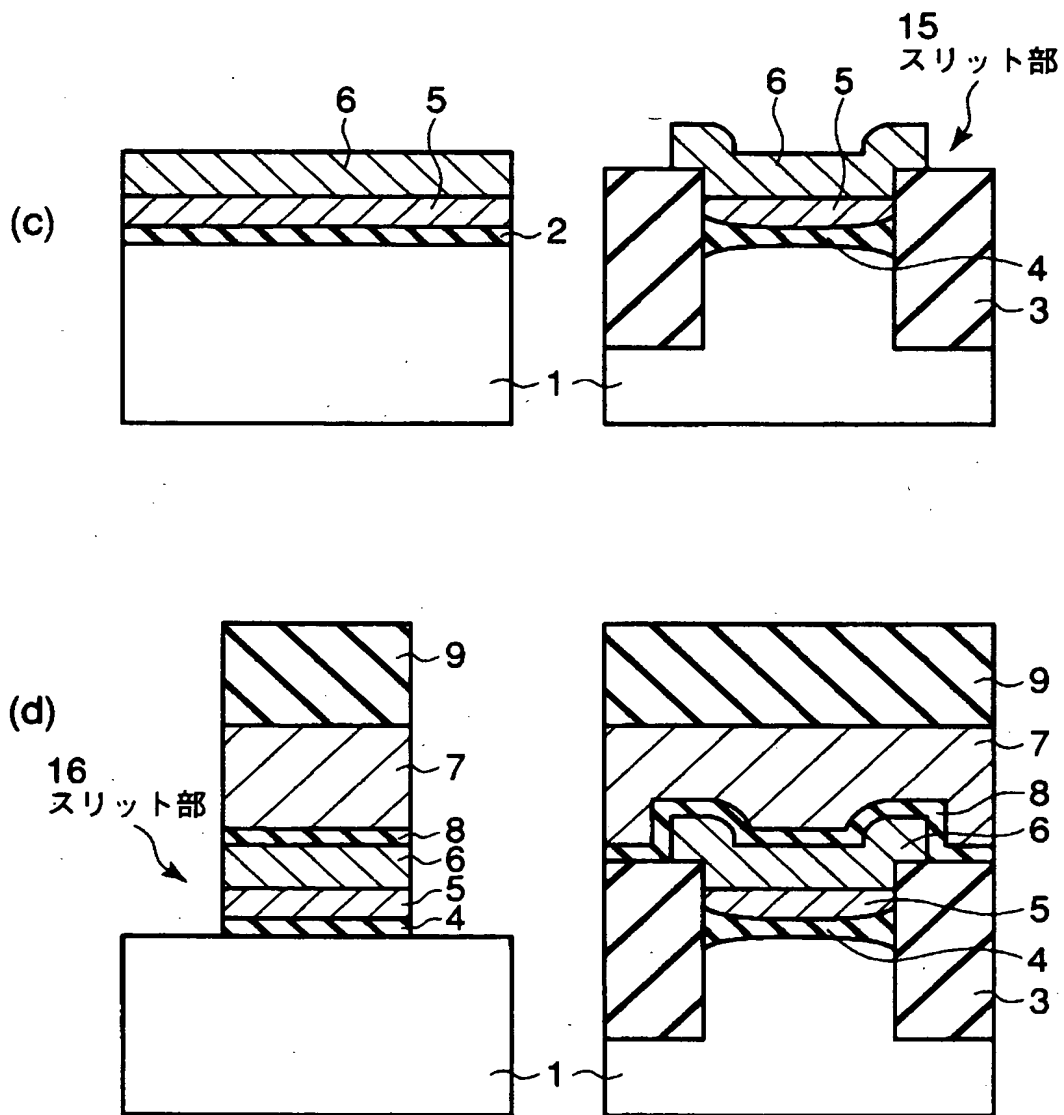
【図 2】



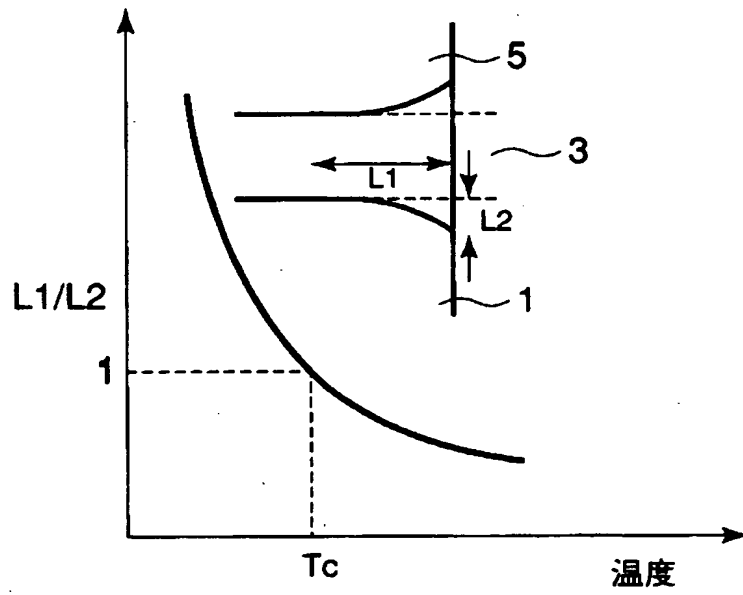
【図 3】



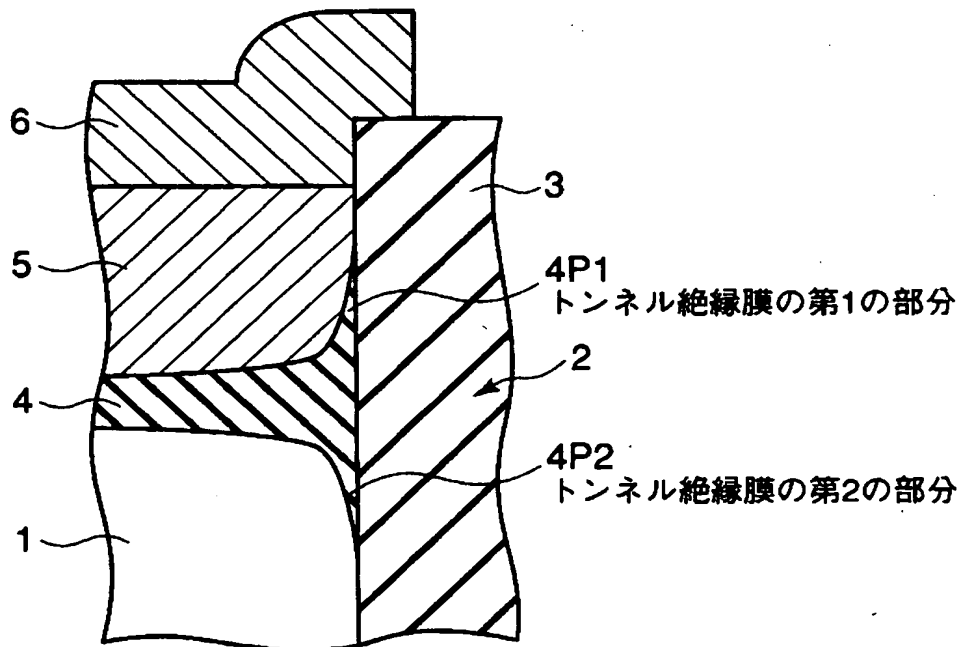
【図 4】



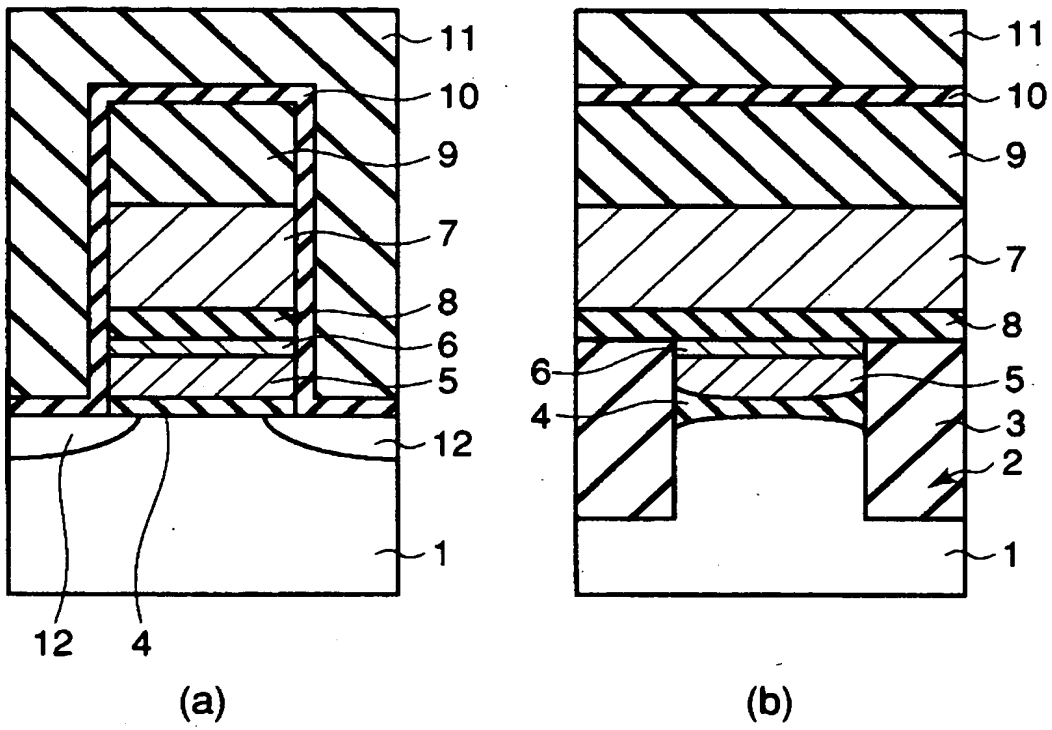
【図 5】



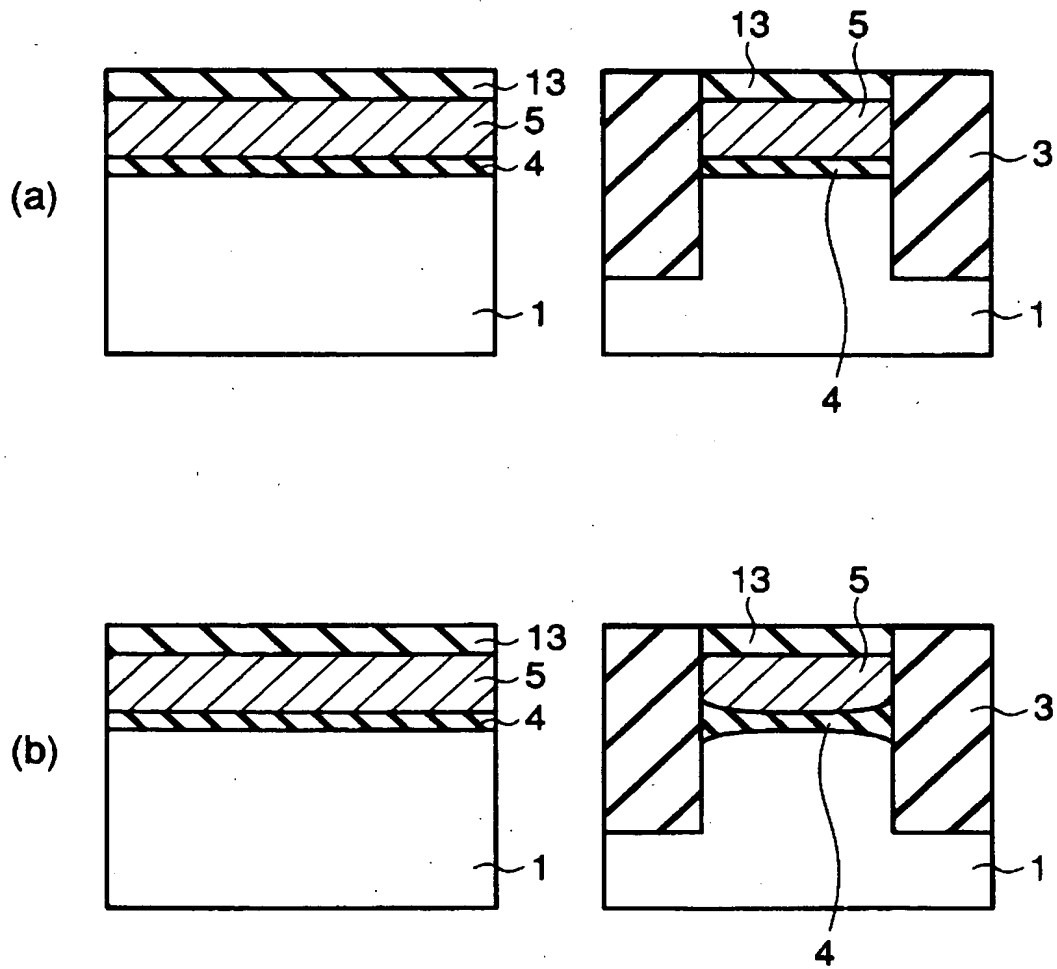
【図 6】



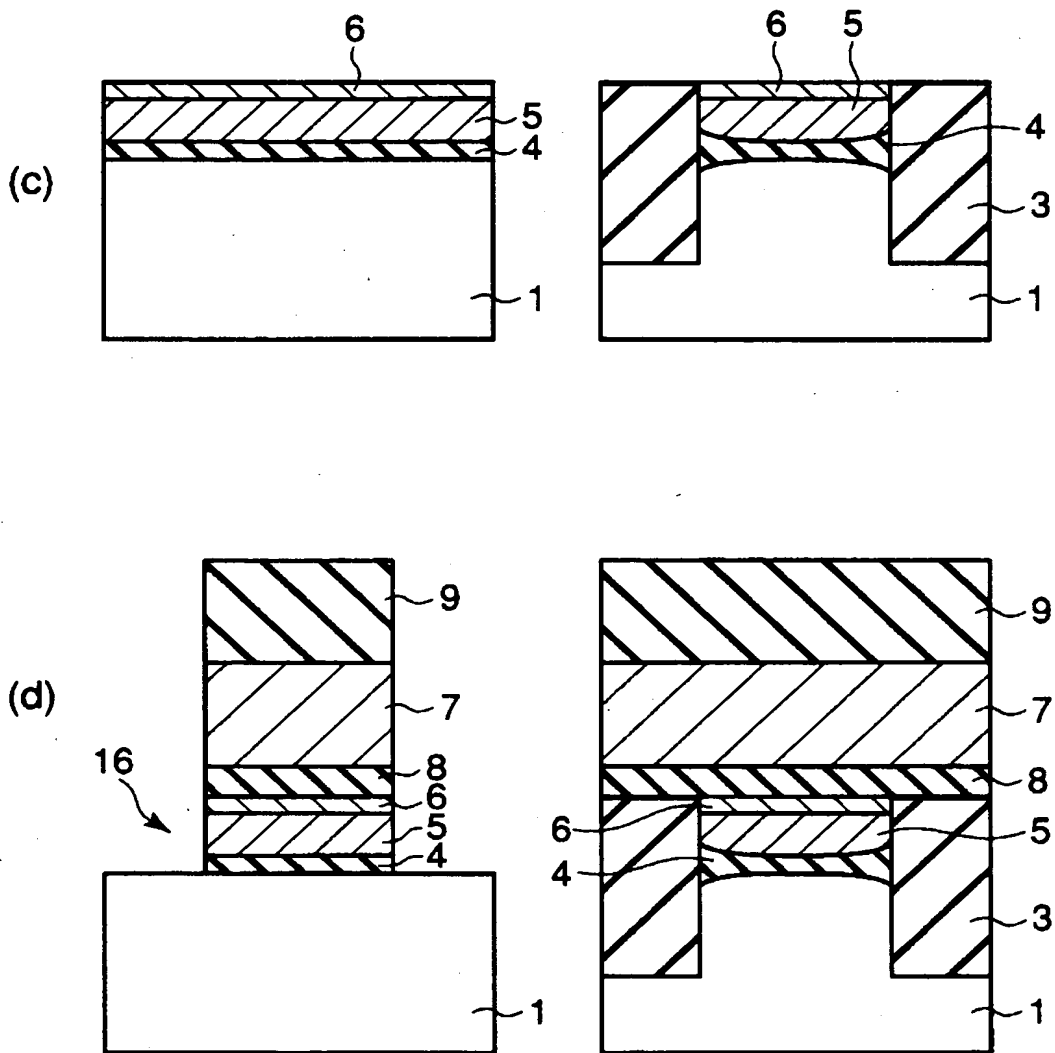
【図 7】



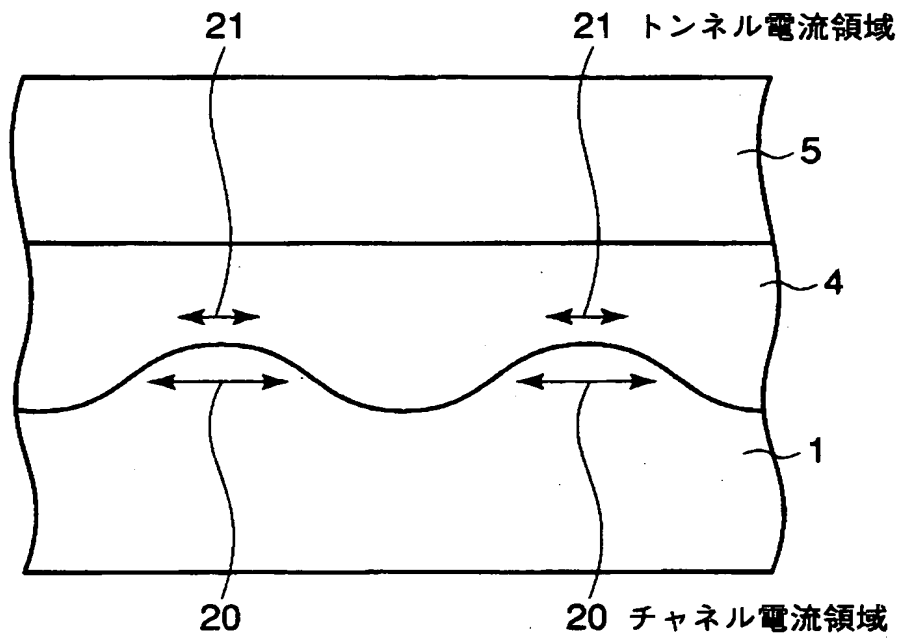
【図 8】



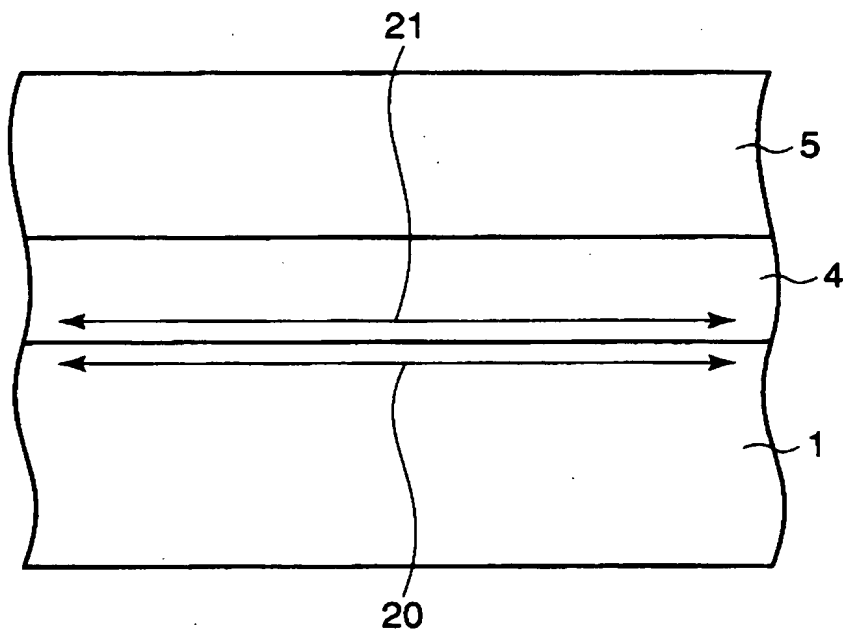
【図 9】



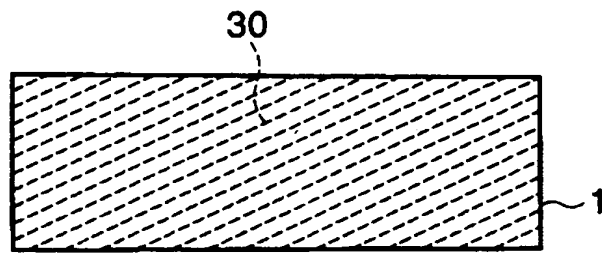
【図 10】



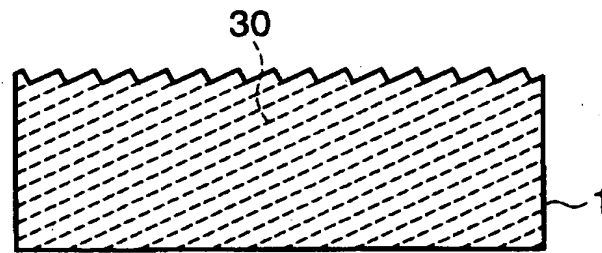
【図 11】



【図 1 2】

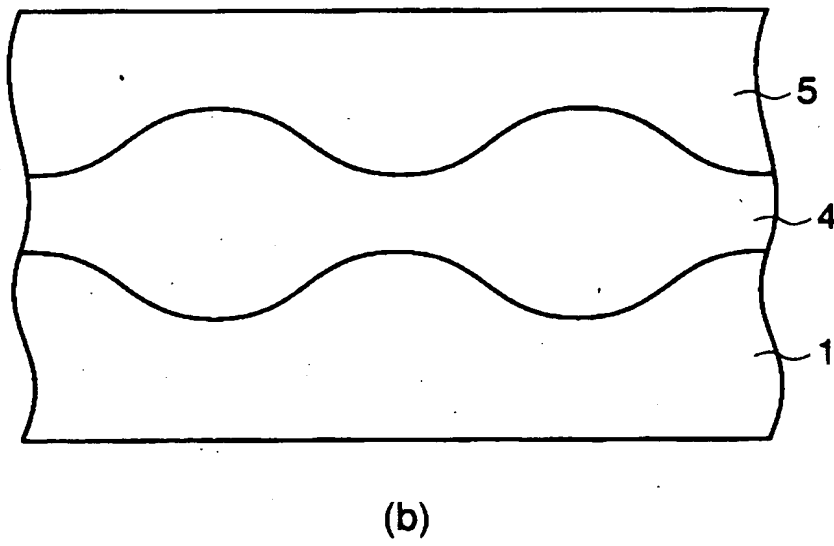
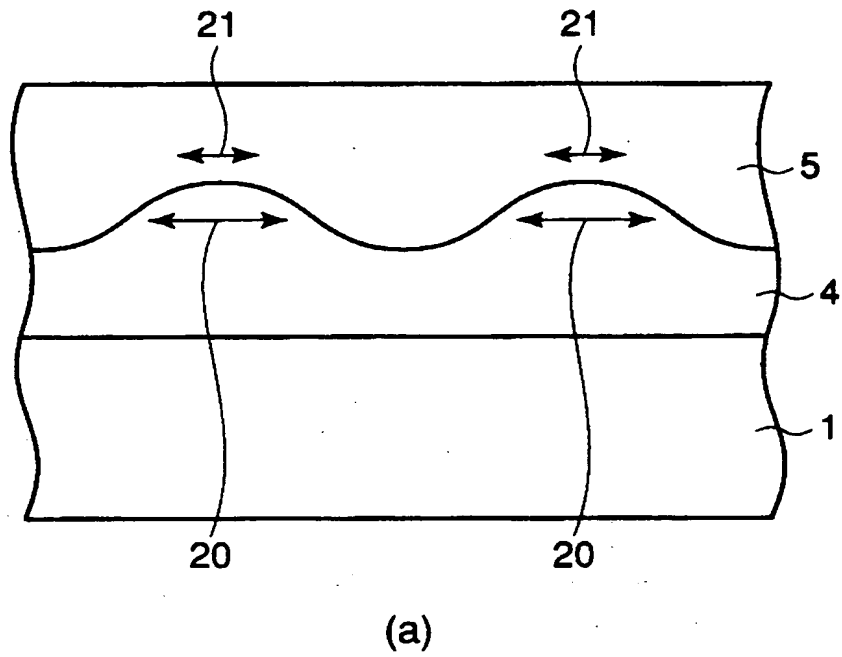


(a)

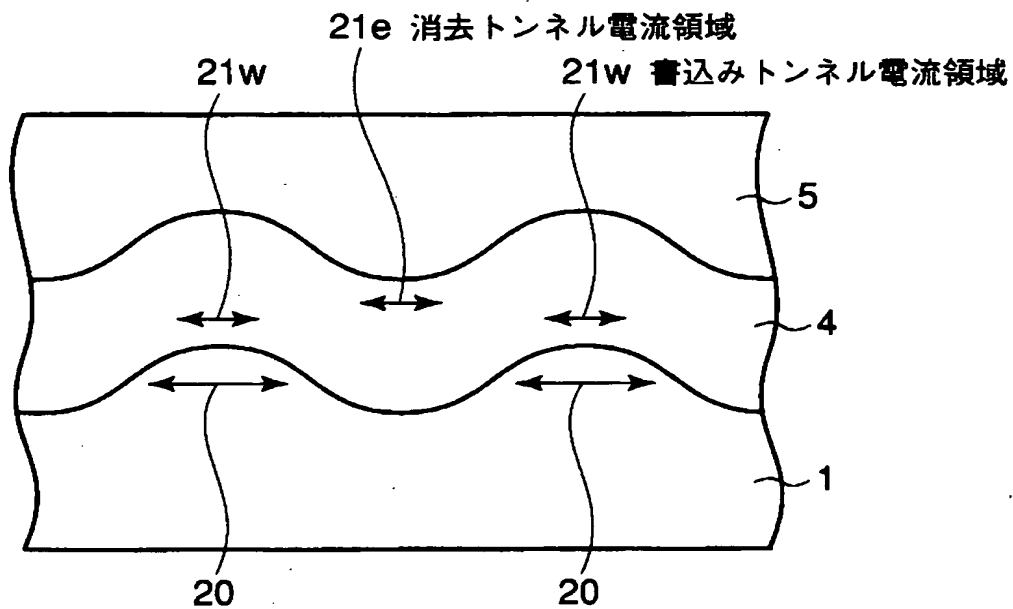


(b)

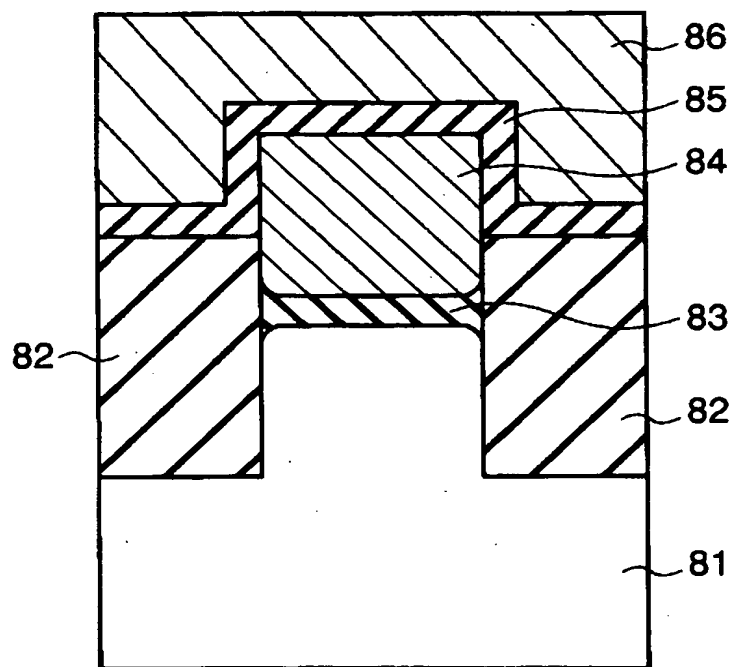
【図 13】



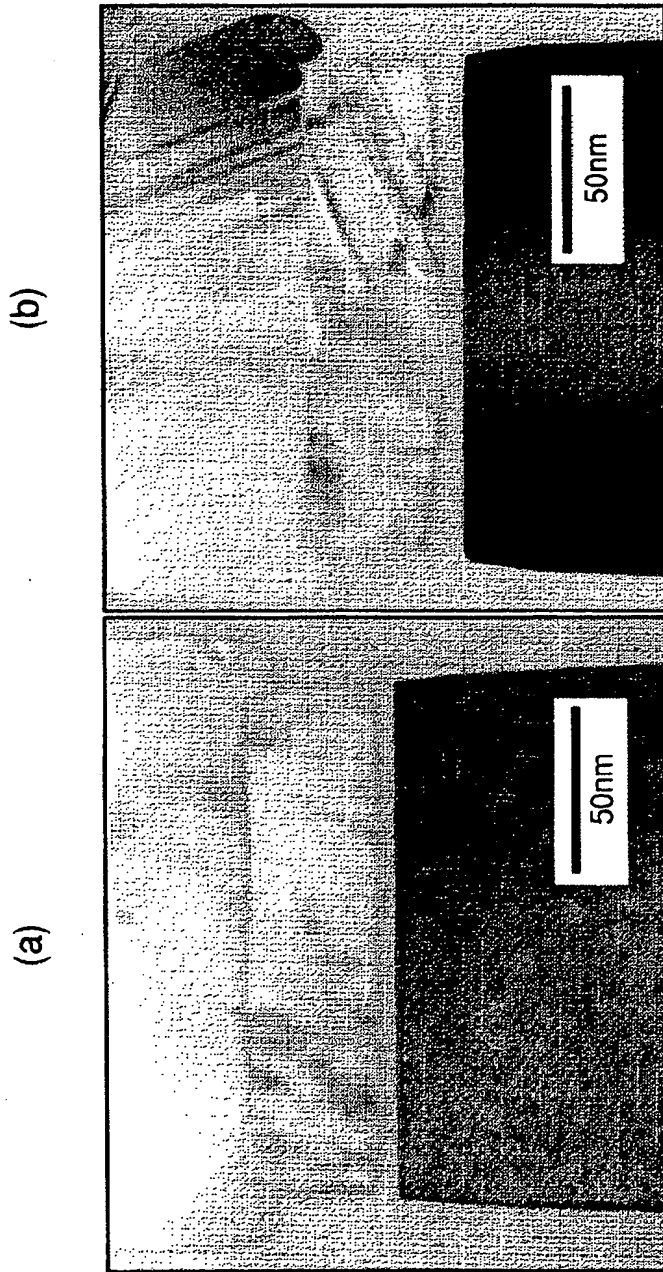
【図 14】



【図 15】



【図 16】



BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 トンネル絶縁膜中の電荷トラップ発生量またはリーク電流発生量を低減できる不揮発性メモリセルを実現すること。

【解決手段】 不揮発性メモリセルは、素子分離絶縁膜 3 に近いほど膜厚が厚くなる部分を含むトンネル絶縁膜 4 と、トンネル絶縁膜 4 上に設けられた浮遊ゲート電極 5, 6 と、浮遊ゲート電極 5, 6 の上方に設けられた制御ゲート電極 7 と、制御ゲート電極 7 と浮遊ゲート電極 5, 6 との間に設けられた電極間絶縁膜 8 とを備えている。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2003年 5月 9日
[変更理由]	名称変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝